

明 細 書

接合型電界効果トランジスタ

技術分野

- [0001] 本発明は、接合型電界効果トランジスタに関し、より特定のには、閾値電圧を容易に制御することができ、チャネル領域を流れる飽和電流を容易に制御することができる接合型電界効果トランジスタに関する。

背景技術

- [0002] 炭化ケイ素(以下SiCと記す)は、バンドギャップが広く、また最大絶縁電界がケイ素(以下Siと記す)と比較して約一桁大きいことから、次世代の電力用半導体素子への応用が期待されている材料である。これまでに、4H-SiCまたは6H-SiCと呼ばれる単結晶ウェハを用いて様々な電子デバイスへ応用されつつあり、特に高温、大電力用素子に適すると考えられている。上記の結晶は閃亜鉛鉱型とウルツ鉱型とを積層した形のアルファ相SiCである。他に3C-SiCと称されるベータ相SiCの結晶でも半導体装置が試作されている。最近では電力用素子としてショットキーダイオード、MOSFET(metal oxide semiconductor field-effect transistor)、サイリスタなど、あるいは最も汎用的な半導体装置であるCMOS(complementary metal-oxide semiconductor)-IC(integrated circuit)が試作され、その特性から従来のSi半導体装置と比較して非常に特性が良好なことが確認されている。
- [0003] 図6は、従来の接合型電界効果トランジスタの構成を示す断面図である。図6に示すように、従来の接合型電界効果トランジスタ120は、p型半導体層107と、n型半導体層101と、p⁺埋め込み層105と、p⁺領域104と、n⁺領域108a, 108bと、ゲート電極111と、ソース電極113と、ドレイン電極115とを備えている。
- [0004] p型半導体層107上にはエピタキシャル成長によりn型半導体層101が形成されており、p型半導体層107とn型半導体層101との境界付近の深い位置にp⁺埋め込み層105が形成されている。n型半導体層101の表面には、p⁺領域104と、n⁺領域108a, 108bとが形成されている。n型半導体層101の表面上には、ゲート電極111と、ソース電極113と、ドレイン電極115とが形成されている。ゲート電極111とp⁺領域104

とが電氣的に接続されており、ソース電極113と n^+ 領域108aとが電氣的に接続されており、ドレイン電極115と n^+ 領域108bとが電氣的に接続されている。

- [0005] 接合型電界効果トランジスタ120においては、 p^+ 領域104の真下の n 型半導体層101がチャネルとなっている。すなわち、ノーマリーオンのトランジスタの場合には、ゲート電極111へ負電圧を印加することによって、 n 型半導体層101と p^+ 領域104との境界から n 型半導体層101と p^+ 埋め込み層105との境界へ向かって、 n 型半導体層101内を空乏層117が広がり、ドレイン電極115とソース電極113との間の電流が遮断される。ノーマリーオフのトランジスタの場合には、ゲート電極111へ正電圧を印加することによって、 n 型半導体層101と p^+ 埋め込み層105との境界から n 型半導体層101と p^+ 領域104との境界へ向かって n 型半導体層101内を空乏層117が縮み、ドレイン電極115とソース電極113との間に電流が流れる。なお、たとえば特許第3216804号公報(特開平11-195655号公報(特許文献1))には、上記構成と類似した接合型電界効果トランジスタが開示されている。

特許文献1: 特許第3216804号公報(特開平11-195655号公報)

発明の開示

発明が解決しようとする課題

- [0006] 図6を参照して、SiCは不純物の拡散速度が非常に遅いため、 n 型半導体層101がSiCよりなる場合には、 p^+ 領域104および p^+ 埋め込み層105を熱拡散法によって形成しようとする、 n 型半導体層101の内部へ不純物を拡散させるのに非常に時間がかかってしまう。このため、 p^+ 領域104および p^+ 埋め込み層105は、通常、不純物イオンを n 型半導体層101へ注入すること(イオン注入法)によって形成される。イオン注入法を用いた場合、注入された不純物は深さ方向に所定の濃度プロファイルを持っている。このため、注入された不純物イオンの作用によって n 型半導体層101の電子の数は減少する。これについて以下に説明する。

- [0007] 図7は、図6のA4-A4線に沿った濃度プロファイルを模式的に示す図である。図7を参照して、 p^+ 領域104を形成するために注入された不純物イオンは、c3で表わされる濃度プロファイルを深さ方向に持っている。同様に、 p^+ 埋め込み層105を形成するために注入された不純物イオンは、d3で表わされる濃度プロファイルを深さ方向に

持っている。ここで、不純物イオンの濃度プロファイルc3からも明らかなように、 p^+ 領域104を形成するために注入された不純物イオンの一部は、 p^+ 領域104を形成すべき領域に留まらずに、n型半導体層101を形成すべき領域にまで到達する。不純物イオンがn型半導体層101を形成すべき領域にまで到達すると、その不純物がもたらした少数キャリア(正孔)と、n型半導体層101に存在する多数キャリア(電子)とが再結合し、n型半導体層101に存在する多数キャリアの数を減少させる。同様に、不純物イオンの濃度プロファイルd3からも明らかなように、 p^+ 埋め込み層105を形成するために注入された不純物イオンの一部は、 p^+ 埋め込み層105を形成すべき領域に到達せずに、n型半導体層101を形成すべき領域に留まる。これによって、n型半導体層101に存在する電子の数を減少させる。

[0008] 図7において、n型半導体層101に元々存在する電子の濃度を一点鎖線b3で表わすと、n型半導体層101に実際に存在する電子の濃度は、n型半導体層101に元々存在する電子の濃度b3と、不純物イオンの濃度プロファイルc3およびd3との差、すなわち領域e3の面積で表わされる。ここで、図7の縦軸は対数目盛になっているので、n型半導体層101に実際に存在する電子の濃度は、領域e3における最上部の長さf3で近似的に表わされる。

[0009] ところで、イオン注入法は、不純物イオンの深さ方向の濃度プロファイルを制御することが難しいという欠点を有している。このため、図7の点線で示すように、不純物イオンの濃度プロファイルc3は深さ方向にばらつき易い(同様に、不純物イオンの濃度プロファイルd3も深さ方向にばらつき易いが、ここでは図示していない)。不純物イオンの濃度プロファイルc3が深さ方向にばらつくと、n型半導体層101にまで到達する不純物イオンの数が変化し、電子の濃度f3(e3)の減少量に影響を及ぼす。

[0010] 具体的には、不純物イオンが設計値よりも浅い領域に注入された場合には、濃度プロファイルc3は図中左側の点線にスライドし、電子の濃度f3(e3)が設計値よりも多くなる。一方、不純物イオンが設計値よりも深い領域に注入された場合には、濃度プロファイルc3は図中右側の点線にスライドし、電子の濃度f3(e3)が設計値よりも少なくなる。

[0011] 上述のように、n型半導体層101は接合型電界効果トランジスタ120のチャネルとな

る部分であるため、電子の濃度 $10^{13}(\text{cm}^{-3})$ の上記変化は、トランジスタの閾値電圧およびチャネルの飽和電流密度に影響を与える。したがって、従来の接合型電界効果トランジスタには、閾値電圧およびチャネルの飽和電流密度の制御が難しいという問題があった。

[0012] この問題は、SiCを用いた接合型電界効果トランジスタのみに起こる問題ではなく、接合型電界効果トランジスタ全般に起こる問題である。しかし、SiCの場合には、不純物の濃度プロファイルが深い部分において高くなりやすい(テールを引きやすい)ので、この問題は特に重要になる。

[0013] したがって、本発明の目的は、閾値電圧を容易に制御することができ、チャネルの飽和電流密度を容易に制御することができる接合型電界効果トランジスタを提供することである。

課題を解決するための手段

[0014] 本発明の接合型電界効果トランジスタは、チャネル領域を有する第1導電型の半導体層と、チャネル領域の上に形成された緩衝層と、緩衝層の上に形成された第2導電型の不純物領域とを備えている。緩衝層における第1導電型のキャリア濃度は、第1導電型の半導体層における第1導電型のキャリア濃度よりも低い。

[0015] 本発明の接合型電界効果トランジスタによれば、第2導電型の不純物領域を形成する際に、緩衝層には相対的に高濃度の不純物イオンが注入される。しかし、緩衝層に存在する第1導電型のキャリアの数は元々少ないので、緩衝層においてキャリアはほとんど減らない。また、第1導電型の半導体層には相対的に低濃度の不純物イオンが注入されるので、第1導電型の半導体層における第1導電型のキャリアはほとんど減らない。つまり、第2導電型の不純物領域を形成する際に、チャネル領域に存在する第1導電型のキャリア濃度は影響を受けにくい。したがって、第2導電型の不純物領域を形成する際に第2導電型の不純物イオンの濃度プロファイルが深さ方向にばらついても、チャネル領域に存在する第1導電型のキャリア濃度には影響を及ぼしにくい。その結果、閾値電圧を容易に制御することができ、チャネルの飽和電流を容易に制御することができる。

[0016] 本発明の接合型電界効果トランジスタにおいて好ましくは、緩衝層における第1導

電型のキャリア濃度は、第1導電型の半導体層における第1導電型のキャリア濃度の10分の1以下である。

[0017] これにより、緩衝層に存在するキャリアの数が第1導電型の半導体層に存在するキャリアの数に比べて十分に少なくなるので、不純物の注入によって減少するキャリアの数が無視できる程に少なくなる。

[0018] 本発明の接合型電界効果トランジスタにおいて好ましくは、第1導電型の半導体層はSiCよりなっている。

[0019] SiCはバンドギャップが広く、最大絶縁電界がSiと比較して約一桁大きいので、接合型電界効果トランジスタの材料として適している。また、SiC中にイオン注入する際には、不純物注入量の深さ方向へのばらつきが特に生じやすい。したがって、本発明の構造が特に有効となる。

[0020] 本発明の接合型電界効果トランジスタにおいて好ましくは、チャネル領域の下に形成された第2導電型の半導体層をさらに備えている。

[0021] これにより、第1導電型の半導体層と第2導電型の不純物領域との境界の空乏層を第2導電型の半導体層まで伸ばすことによって、チャネル領域に電流を流さないようにすることができる。

[0022] 本発明の接合型電界効果トランジスタにおいて好ましくは、第2導電型の半導体層は不純物を注入することで形成されており、チャネル領域の下であって第2導電型の半導体層の上に形成された他の緩衝層をさらに備えている。他の緩衝層における第1導電型のキャリア濃度は、第1導電型の半導体層における第1導電型のキャリア濃度よりも低い。

[0023] これにより、第2導電型の半導体層を形成する際に、他の緩衝層には相対的に高濃度の不純物イオンが注入される。しかし、他の緩衝層に存在する第1導電型のキャリアの数は元々少ないので、他の緩衝層においてキャリアはほとんど減らない。また、第1導電型の半導体層には相対的に低濃度の不純物イオンが注入されるので、第1導電型の半導体層における第1導電型のキャリアはほとんど減らない。つまり、第2導電型の半導体層を形成する際に、チャネル領域に存在する第1導電型のキャリア濃度は影響を受けにくい。したがって、第2導電型の半導体層を形成する際に第2導電

型の不純物イオンの濃度プロファイルが深さ方向にばらついても、第1導電型の半導体層内に存在する第1導電型のキャリア濃度には影響を及ぼしにくい。その結果、閾値電圧を制御することが容易になり、チャネルの飽和電流を制御することができる。

[0024] 本発明の接合型電界効果トランジスタにおいて好ましくは、上記他の緩衝層における第1導電型のキャリア濃度は、第1導電型の半導体層における第1導電型のキャリア濃度の10分の1以下である。

[0025] これにより、他の緩衝層に存在するキャリアの数が第1導電型の半導体層に存在するキャリアの数に比べて十分に少なくなるので、不純物の注入によって減少するキャリアの数が無視できる程に少なくなる。

[0026] 本発明の接合型電界効果トランジスタにおいて好ましくは、n型SiCよりなる半導体基板をさらに備えている。第1導電型の半導体層はこの半導体基板の一方の主表面上に形成されている。

[0027] n型SiCよりなる半導体基板は、p型SiCよりなる半導体基板に比べて、マイクロパイプ(貫通転位)などの欠陥密度が低い。したがって、歩留りを向上することができ、漏れ電流を小さくすることができる。

[0028] 本発明の接合型電界効果トランジスタにおいて好ましくは、第2導電型の不純物領域の表面上に形成されたゲート電極と、第1導電型の半導体層の表面上に形成されたソース/ドレイン電極のうちいずれか一方の電極と、半導体基板の他方の主表面上に形成されたソース/ドレイン電極のうちいずれか他方の電極とをさらに備えている。

[0029] これにより、キャリアは実質的に半導体基板に垂直に移動し、いわゆる縦型の接合型電界効果トランジスタとなる。

[0030] 本発明の接合型電界効果トランジスタにおいて好ましくは、第2導電型の不純物領域の表面上に形成されたゲート電極と、第1導電型の半導体層の表面上に形成されたソース電極およびドレイン電極をさらに備えている。

[0031] これにより、キャリアは実質的に半導体基板に平行に移動し、いわゆる横型の接合型電界効果トランジスタとなる。

発明の効果

[0032] 本発明の接合型電界効果トランジスタによれば、閾値電圧を容易に制御することができ、チャネルの飽和電流密度を容易に制御することができる。

図面の簡単な説明

[0033] [図1]本発明の実施の形態1における接合型電界効果トランジスタの構成を示す断面図である。

[図2]図1のA1－A1線に沿った濃度プロファイルを模式的に示す図である。

[図3]本発明の実施の形態2における接合型電界効果トランジスタの構成を示す断面図である。

[図4]図3のA2－A2線に沿った濃度プロファイルを模式的に示す図である。

[図5]本発明の実施の形態3における接合型電界効果トランジスタの構成を示す断面図である。

[図6]従来の接合型電界効果トランジスタの構成を示す断面図である。

[図7]図6のA4－A4線に沿った濃度プロファイルを模式的に示す図である。

符号の説明

[0034] 1 半導体層、3, 18 緩衝層、4a, 4b, 9a, 9b, 104 p^+ 領域、5a, 5b, 105 p^+ 埋め込み層、6 半導体基板、6a, 6b 基板主表面、7 n型エピタキシャル層、8a, 8b, 108a, 108b n^+ 領域、10 p型エピタキシャル層、11, 11a, 11b, 111 ゲート電極、13, 13a, 13b, 113 ソース電極、15, 115 ドレイン電極、17, 17a, 17b, 117 空乏層、19 p型領域、20, 20a, 21, 120 接合型電界効果トランジスタ、101 n型半導体層、107 p型半導体層。

発明を実施するための最良の形態

[0035] 以下、本発明の実施の形態について図に基づいて説明する。

(実施の形態1)

図1は、本発明の実施の形態1における接合型電界効果トランジスタの構成を示す断面図である。図1に示すように、本実施の形態の接合型電界効果トランジスタ20は、半導体基板6と、n型エピタキシャル層7と、第1導電型の半導体層としてのn型の半導体層1と、緩衝層3と、第2導電型の半導体層としての p^+ 埋め込み層5a, 5bと、第2導電型の不純物領域としての p^+ 領域4a, 4bと、 n^+ 領域8a, 8bと、 p^+ 領域9a, 9bと、

ゲート電極11a, 11bと、ソース電極13a, 13bと、ドレイン電極15とを備えている。

- [0036] n型SiCよりなる半導体基板6の一方の主表面6a上にはn型エピタキシャル層7が形成されており、n型エピタキシャル層7の表面には p^+ 埋め込み層5a, 5bが形成されている。n型エピタキシャル層7および p^+ 埋め込み層5a, 5bの上には、半導体層1が形成されている。半導体層1の表面には、 p^+ 領域4a, 4bと、 n^+ 領域8a, 8bと、 p^+ 領域9a, 9bとが形成されている。 n^+ 領域8aと p^+ 領域9aとは互いに隣接して形成されており、 n^+ 領域8bと p^+ 領域9bとは互いに隣接して形成されている。 p^+ 領域4a, 4bの各々是不純物イオンを注入することによって形成されている。 p^+ 領域9a, 9bの各々は、図中下方へ延びており、 p^+ 埋め込み層5a, 5bの各々にまで達している。
- [0037] 半導体層1はSiCよりなっている。半導体層1において、 p^+ 領域4a, 4bの各々における垂直真下付近の領域は、接合型電界効果トランジスタ120のチャネル領域である。チャネル領域は、 p^+ 埋め込み層5a, 5bの上に形成されている。
- [0038] 半導体層1の内部には緩衝層3が形成されている。緩衝層3は、チャネル領域の上であって p^+ 領域4a, 4bの下に形成されている。緩衝層3における電子の濃度は、半導体層1における電子の濃度よりも低く、緩衝層3における電子の濃度は、半導体層1における電子の濃度の10分の1以下である。なお、緩衝層3は n^- の領域であってもよいし、アンドープ層であってもよいし、 p^- の領域であってもよい。
- [0039] p^+ 領域4a, 4bの各々の表面上にはゲート電極11a, 11bが形成されている。また、 n^+ 領域8aおよび p^+ 領域9aの表面上にはソース電極13aが形成されており、 n^+ 領域8bおよび p^+ 領域9bの表面(半導体層1の表面)上にはソース電極13bが形成されている。また、半導体基板6の他方の主表面6b上(図中下側)にはドレイン電極15が形成されている。
- [0040] 接合型電界効果トランジスタ20がノーマリーオンのトランジスタの場合には、ゲート電極11a, 11bへ負電圧を印加することによって、チャネル領域に空乏層17a, 17bの各々が広がり、ドレイン電極15とソース電極13a, 13bの各々との間の電流が遮断される。また、接合型電界効果トランジスタ20がノーマリーオフのトランジスタの場合には、ゲート電極11a, 11bへ正電圧を印加することによって、チャネル領域から空乏層17a, 17bの各々がなくなり、チャネル領域を通してドレイン電極15とソース電極

13a, 13bとの間に電流が流れる。

- [0041] 本実施の形態の接合型電界効果トランジスタ20によれば、 p^+ 領域4a, 4bを形成する際に、チャネル領域に存在する電子の濃度は影響を受けにくい。これについて以下に説明する。
- [0042] 図2は、図1のA1-A1線に沿った濃度プロファイルを模式的に示す図である。図2を参照して、 p^+ 領域4aを形成するために注入された不純物イオンは、c1で表わされる濃度プロファイルを深さ方向に持っている。また、緩衝層3および半導体層1に元々存在するキャリア(電子)の濃度プロファイルを一点鎖線b1で表わす。半導体層1に実際に存在する電子の濃度は、半導体層1に元々存在する(内部に不純物領域を形成する前の半導体層1に存在する)電子の濃度b1と、不純物イオンの濃度プロファイルc1との差、すなわち領域e1の面積で表わされる。ここで、図2の縦軸は対数目盛になっているので、半導体層1に実際に存在する電子の濃度は、領域e1における最上部の長さf1で近似的に表わされる。
- [0043] 不純物イオンの濃度プロファイルc1によれば、半導体層1に存在する不純物イオンの濃度は、半導体層1に元々存在する電子の濃度b1に比べて非常に低く、半導体層1に実際に存在する電子の濃度f1(e1)は、半導体層1に元々存在する電子の濃度b1とほぼ同等である。このため、 p^+ 領域4aを形成する際に、チャネル領域に存在する電子の濃度は影響を受けにくい。なお、緩衝層3に存在する電子の数は半導体層1に存在する電子の数に比べて少ないので、緩衝層3に存在する電子の数の増減もわずかなものである。
- [0044] したがって、 p^+ 領域4a, 4bを形成する際に、p型の不純物イオンの濃度プロファイルc1が、図中点線で示すように深さ方向にばらついても、チャネル領域に存在する電子の濃度には影響を及ぼしにくい。その結果、閾値電圧を容易に制御することができ、チャネルの飽和電流を容易に制御することができる。
- [0045] 本実施の形態の接合型電界効果トランジスタ20において、緩衝層3における電子の濃度は、半導体層1における電子の濃度の10分の1以下である。
- [0046] これにより、緩衝層3に存在する電子の数が半導体層1に存在する電子の数に比べて十分に少なくなるので、不純物の注入によって減少する電子の数が無視できる程

に少なくなる。

[0047] 本実施の形態の接合型電界効果トランジスタ20において、半導体層1はSiCよりなっている。

[0048] SiCはバンドギャップが広く、最大絶縁電界がSiと比較して約一桁大きいので、接合型電界効果トランジスタの材料として適している。また、SiC中にイオン注入する際には、不純物注入量の深さ方向へのばらつきが特に生じやすい。したがって、本発明の構造が特に有効となる。

[0049] 本実施の形態の接合型電界効果トランジスタ20は、チャネル領域の下に形成された p^+ 埋め込み層5a, 5bをさらに備えている。

[0050] これにより、半導体層1と p^+ 領域4a, 4bとの境界の空乏層17a, 17bを p^+ 埋め込み層5a, 5bまで伸ばすことによって、チャネル領域に電流を流さないようにすることができる。

[0051] 本実施の形態の接合型電界効果トランジスタ20においては、n型SiCよりなる半導体基板6をさらに備えている。半導体層1は半導体基板6の一方の主表面6a上に形成されている。

[0052] n型SiCよりなる半導体基板は、p型SiCよりなる半導体基板に比べて、マイクロパイプ(貫通転位)などの欠陥密度が低い。したがって、歩留りを向上することができ、漏れ電流を小さくすることができる。

[0053] 本実施の形態の接合型電界効果トランジスタ20は、 p^+ 領域4a, 4b各々の表面上に形成されたゲート電極11a, 11bと、半導体層1の表面上に形成されたソース電極13a, 13bと、半導体基板6の他方の主表面6b上に形成されたドレイン電極15とをさらに備えている。

[0054] これにより、キャリアは実質的に半導体基板6に垂直に移動し、いわゆる縦型の接合型電界効果トランジスタとなる。

[0055] (実施の形態2)

図3は、本発明の実施の形態2における接合型電界効果トランジスタの構成を示す断面図である。図3に示すように本実施の形態の接合型電界効果トランジスタ20aは、他の緩衝層としての緩衝層18をさらに備えている。緩衝層18は、半導体層1のチャ

ネル領域の下であって p^+ 埋め込み層5a, 5bの上に形成されている。緩衝層18における電子の濃度は、半導体層1における電子の濃度よりも低くなっている。緩衝層18における電子の濃度は、半導体層1における電子の濃度の10分の1以下である。また、 p^+ 埋め込み層5a, 5bの各々は不純物イオンを注入することで形成されている。

[0056] なお、これ以外の接合型電界効果トランジスタ20aの構成は、実施の形態1に示す接合型電界効果トランジスタ20の構成とほぼ同様であるので、同一の部材には同一の符号を付し、その説明を省略する。

[0057] 本実施の形態の接合型電界効果トランジスタ20aによれば、 p^+ 埋め込み層5a, 5bを形成する際に、チャネル領域に存在する電子の濃度は影響を受けにくい。これについて以下に説明する。

[0058] 図4は、図3のA2-A2線に沿った濃度プロファイルを模式的に示す図である。図4を参照して、 p^+ 埋め込み層5aを形成するために注入された不純物イオンは、d2で表わされる濃度プロファイルを深さ方向に持っている。また、緩衝層18および半導体層1に元々存在する電子の濃度プロファイルを一点鎖線b2で表わす。半導体層1に実際に存在する電子の濃度は、半導体層1に元々存在する電子の濃度b2と、不純物イオンの濃度プロファイルd2との差、すなわち領域e2の面積で表わされる。ここで、図4の縦軸は対数目盛になっているので、半導体層1に実際に存在する電子の濃度は、領域e2における最上部の長さf2で近似的に表わされる。

[0059] 不純物イオンの濃度プロファイルd2によれば、半導体層1に存在する不純物イオンの濃度は、半導体層1に元々存在する電子の濃度b2に比べて非常に低く、半導体層1に実際に存在する電子の濃度f2(e2)は、半導体層1に元々存在する電子の濃度b2とほぼ同等である。このため、 p^+ 埋め込み層5aを形成する際に、チャネル領域に存在する電子の濃度は影響を受けにくい。なお、緩衝層18に存在する電子の数は半導体層1に存在する電子の数に比べて少ないので、緩衝層18に存在する電子の数の増減もわずかなものである。

[0060] したがって、 p^+ 埋め込み層5a, 5bを形成する際に、p型の不純物イオンの濃度プロファイルd2が、図中点線で示すように深さ方向にばらついても、チャネル領域に存在する電子の濃度には影響を及ぼしにくい。その結果、閾値電圧を容易に制御するこ

とができ、チャネルの飽和電流を容易に制御することができる。

[0061] 本実施の形態の接合型電界効果トランジスタ20aにおいて、緩衝層18における電子の濃度は、半導体層1における電子の濃度の10分の1以下である。

[0062] これにより、緩衝層18に存在する電子の数が半導体層1に存在する電子の数に比べて十分に少なくなるので、不純物の注入によって減少する電子の数が無視できる程に少なくなる。

[0063] (実施の形態3)

図5は、本発明の実施の形態3における接合型電界効果トランジスタの構成を示す断面図である。図5に示すように、本実施の形態の接合型電界効果トランジスタ21は、RESURF (reduced surface) 構造を有しており、以下の点で実施の形態1の接合型電界効果トランジスタ20と異なっている。

[0064] すなわち、半導体基板6上にはp型エピタキシャル層10が形成されており、p型エピタキシャル層10上には半導体層1が形成されている。半導体層1の表面にはp型領域19が形成されており、半導体層1の内部には緩衝層3が形成されている。p型領域19の表面には p^+ 領域4a, 9aおよび n^+ 領域8a, 8bが形成されている。 p^+ 領域9aはp型エピタキシャル層10にまで達している。 p^+ 領域4aの表面上にはゲート電極11が形成されており、 p^+ 領域9aおよび n^+ 領域8a(半導体層1)の表面上にはソース電極13が形成されており、 n^+ 領域8bの表面上にはドレイン電極15が形成されている。また、図5におけるA3-A3線に沿った濃度プロファイルは、図2に示す濃度プロファイルと同様になっている。本実施の形態では、 p^+ 領域4aの垂直真下付近の領域が、接合型電界効果トランジスタ21のチャネル領域である。

[0065] 接合型電界効果トランジスタ21がノーマリーオンのトランジスタの場合には、ゲート電極11へ負電圧を印加することによって、チャネル領域に空乏層17が広がり、ドレイン電極15とソース電極13との間の電流が遮断される。また、接合型電界効果トランジスタ21がノーマリーオフのトランジスタの場合には、ゲート電極11へ正電圧を印加することによって、チャネル領域から空乏層17の各々がなくなり、チャネル領域を通過してドレイン電極15とソース電極13との間に電流が流れる。

[0066] なお、これ以外の構成は、実施の形態1に示す接合型電界効果トランジスタ20の

構成とほぼ同様であるので、同一の部材には同一の符号を付し、その説明を省略する。

[0067] 本実施の形態の接合型電界効果トランジスタ21においても、実施の形態1に示す接合型電界効果トランジスタ20とほぼ同様の効果を得ることができる。

[0068] 本実施の形態の接合型電界効果トランジスタ21においては、 p^+ 領域4aの表面上に形成されたゲート電極11と、半導体層1の表面上に形成されたソース電極13およびドレイン電極15をさらに備えている。

[0069] これにより、キャリアは実質的に半導体基板6に平行に移動し、いわゆる横型の接合型電界効果トランジスタとなる。

[0070] 本実施の形態のように、半導体層1上にp型領域19を形成することによって、ゲート／ドレイン間の空乏層を広くすることができる。これにより、ゲート／ドレイン間の耐圧を向上することができる。なお、本実施の形態におけるp型領域19は必須の構成要件ではなく、p型領域19が形成されず、 p^+ 領域4a, 9aおよび n^+ 領域8a, 8bが半導体層1の表面に形成されていてもよい。

[0071] 以上の開示された実施の形態はすべての点で例示であって制限的なものではないと考慮されるべきである。本発明の範囲は、以上の実施の形態ではなく、請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての修正や変形を含むものと意図される。

請求の範囲

- [1] チャンネル領域を有する第1導電型の半導体層(1)と、
前記チャンネル領域の上に形成された緩衝層(3)と、
前記緩衝層(3)の上に形成された第2導電型の不純物領域(4a, 4b)とを備え、
前記緩衝層(3)における第1導電型のキャリア濃度は、前記第1導電型の半導体層(1)における第1導電型のキャリア濃度よりも低い、接合型電界効果トランジスタ(20)。
- [2] 前記緩衝層(3)における前記第1導電型のキャリア濃度は、前記第1導電型の半導体層(1)における前記第1導電型のキャリア濃度の10分の1以下である、請求の範囲第1項に記載の接合型電界効果トランジスタ(20)。
- [3] 前記第1導電型の半導体層(1)は炭化ケイ素よりなる、請求の範囲第1項に記載の接合型電界効果トランジスタ(20)。
- [4] 前記チャンネル領域の下に形成された第2導電型の半導体層(5a, 5b)をさらに備える、請求の範囲第1項に記載の接合型電界効果トランジスタ(20)。
- [5] 前記第2導電型の半導体層(5a, 5b)は不純物イオンを注入することで形成されており、
前記チャンネル領域の下であって前記第2導電型の半導体層の上に形成された他の緩衝層(18)をさらに備え、
前記他の緩衝層(18)における第1導電型のキャリア濃度は、前記第1導電型の半導体層(1)における第1導電型のキャリア濃度よりも低い、請求の範囲第4項に記載の接合型電界効果トランジスタ(20a)。
- [6] 前記他の緩衝層(18)における前記第1導電型のキャリア濃度は、前記第1導電型の半導体層(1)における前記第1導電型のキャリア濃度の10分の1以下である、請求の範囲第5項に記載の接合型電界効果トランジスタ(20a)。
- [7] n型炭化ケイ素よりなる半導体基板(6)をさらに備え、
前記第1導電型の半導体層(1)は前記半導体基板(6)の一方の主表面上に形成されている、請求の範囲第1項に記載の接合型電界効果トランジスタ(20)。
- [8] 前記第2導電型の不純物領域(4a, 4b)の表面上に形成されたゲート電極(11a, 1

1b)と、

前記第1導電型の半導体層(1)の表面上に形成されたソース/ドレイン電極のうちいずれか一方の電極(13a、13b)と、

前記半導体基板(6)の他方の主表面上に形成されたソース/ドレイン電極のうちいずれか他方の電極(15)とをさらに備える、請求の範囲第7項に記載の接合型電界効果トランジスタ(21)。

[9] 前記第2導電型の不純物領域(4a)の表面上に形成されたゲート電極(11)と、

前記第1導電型の半導体層(1)の表面上に形成されたソース電極(13)およびドレイン電極(15)をさらに備える、請求の範囲第7項に記載の接合型電界効果トランジスタ(21)。

不純物密度
(対数目盛)

c1

f1

e1

b1

p⁺領域4a

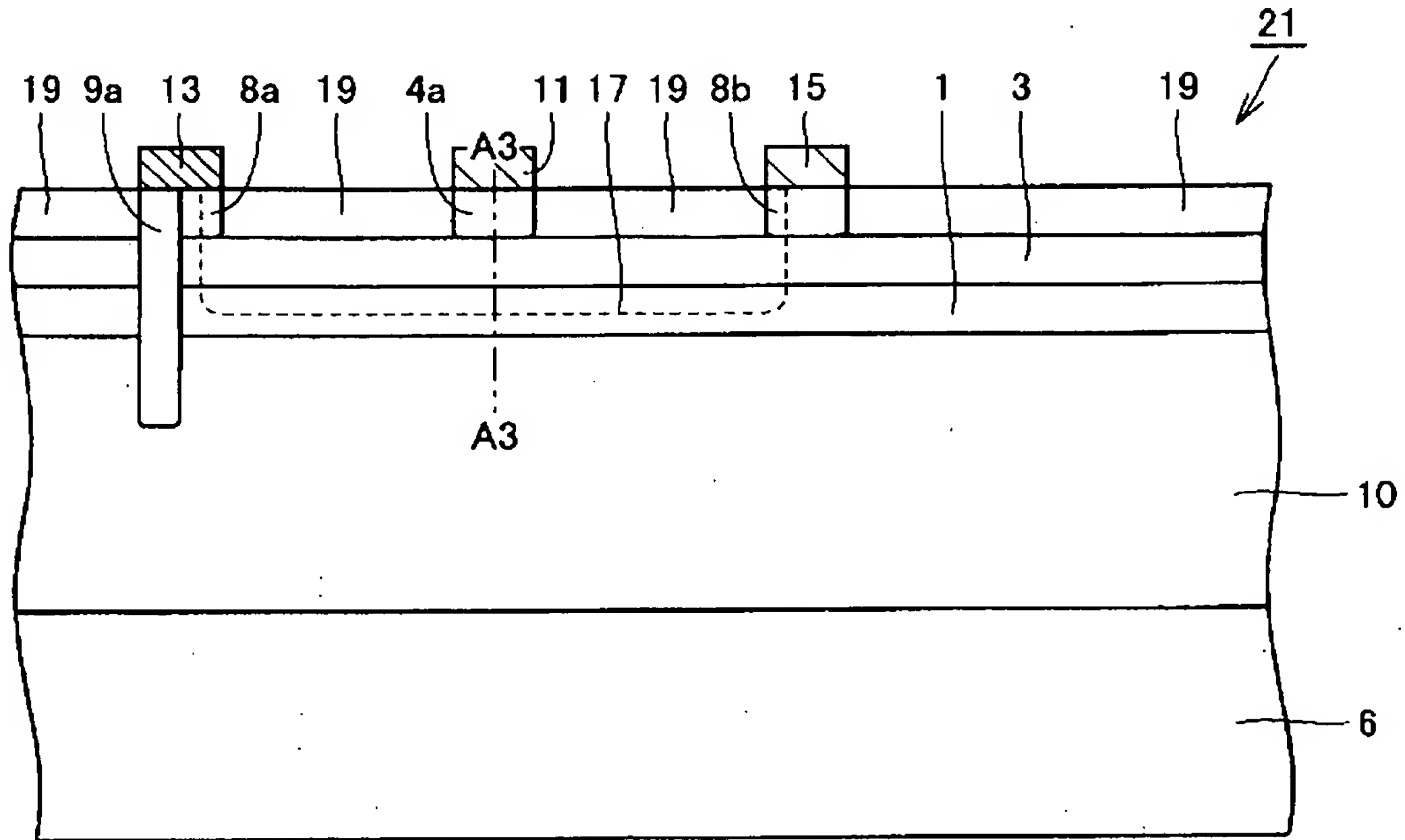
緩衝層3

半導体層1
(チャネル領域)

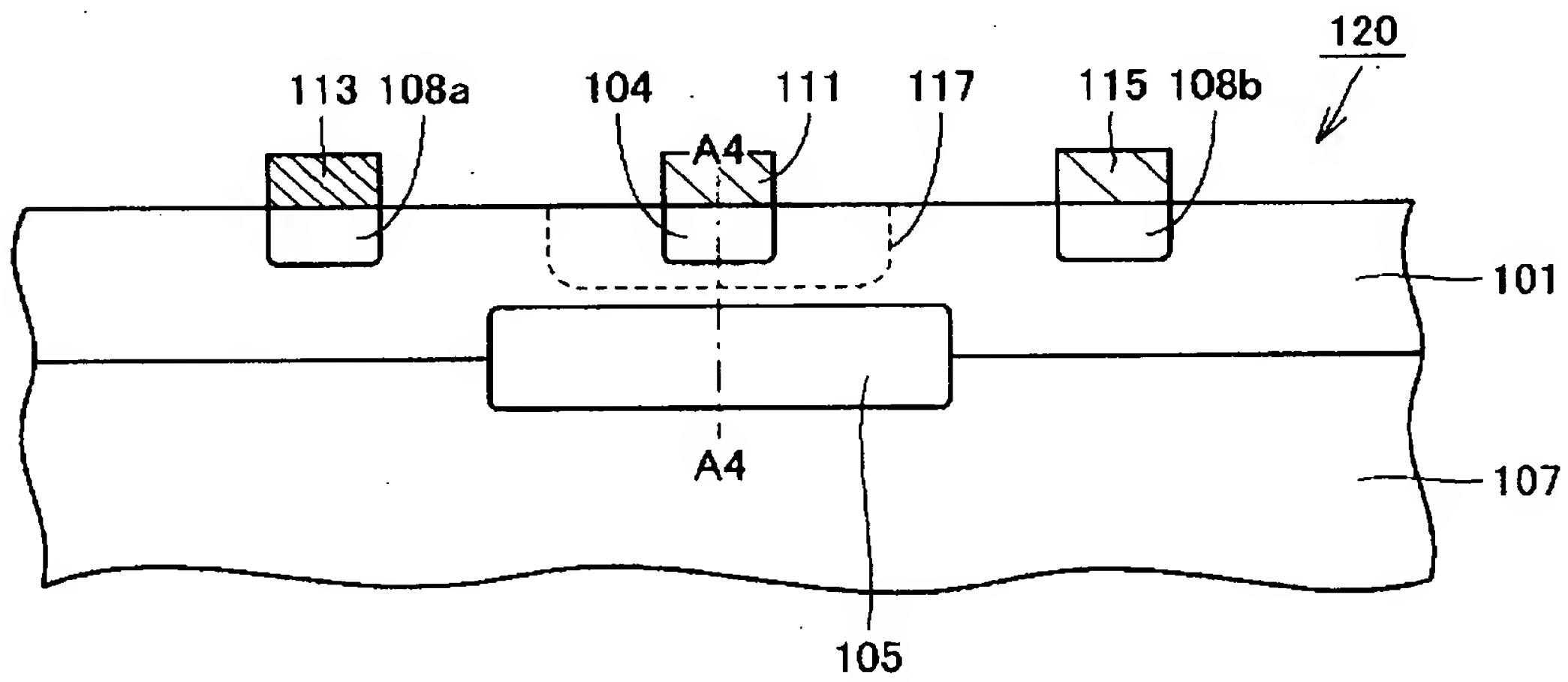
p⁺埋め込み層5a

深さ

[図5]



[図6]



[図7]

